

1 / 5

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-270723

(43)Date of publication of application : 20.09.2002

(51)Int.Cl.

H01L 23/12

H01L 25/04

H01L 25/18

(21)Application number : 2001-069520

(71)Applicant : HITACHI LTD

(22)Date of filing : 12.03.2001

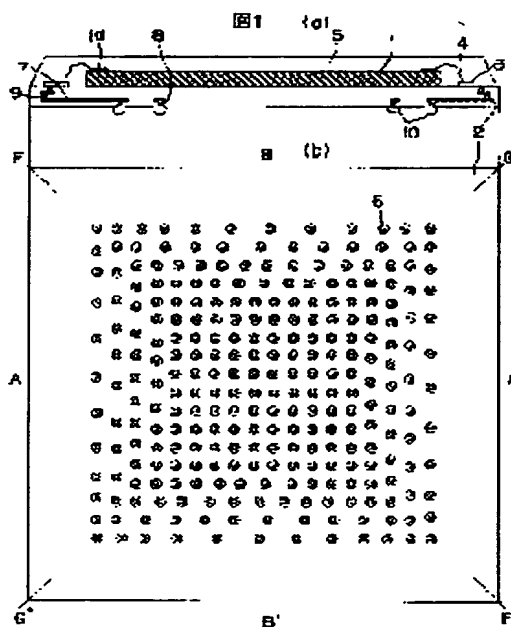
(72)Inventor : ARIMA HIDEO  
YAMAMOTO KENICHI

## (54) SEMICONDUCTOR DEVICE, SEMICONDUCTOR CHIP, AND MOUNTING BOARD

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To prevent the deterioration of electric performance, the drop of reliability and yield in manufacture, and the increase of manufacture cost.

**SOLUTION:** A BGA IC has a chip 1, an LTCC board 2 where the chip 1 is mounted, a plurality of pads 3 made at the periphery of the topside of the LTCC board 2, a gold wire 4 having connected the electrode pad 1a of the chip 1 with the pad 3 of the TCC board 2, a resin sealing body 5 having sealed the chip 1, the pad 3, and the gold wire 4 with resin, and terminals 6 being arranged in area array form at the bottom of the LTCC board 2 and connected with each pad 3 by wiring 7. The density of the group of terminals is set to be the highest in the row closest to the center and to get lower as it goes outside the row. Accordingly, the wiring from a peripheral terminal to a central terminal can be drawn through the wide space between peripheral terminals, so this device can be downsized, while enhancing the performance such as a wiring resistance value, an insulation resistance value between wire, resistance to wire breakage, interlayer separation, etc., and can reduce the manhour in manufacture and the cost of manufacture and raise the yield in manufacture.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-270723

(P2002-270723A)

(43) 公開日 平成14年9月20日 (2002.9.20)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	ページコード(参考)
H 0 1 L 23/12	5 0 1	H 0 1 L 23/12	5 0 1 T 5 0 1 P 5 0 1 W N Z
25/04		25/04	
審査請求 未請求 請求項の数 5 O L (全 15 頁) 最終頁に続く			

(21) 出願番号 特願2001-69520(P2001-69520)

(22) 出願日 平成13年3月12日(2001.3.12)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 有馬 英夫

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体グループ内

(72) 発明者 山本 健一

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体グループ内

(74) 代理人 100085637

弁理士 梶原 辰也

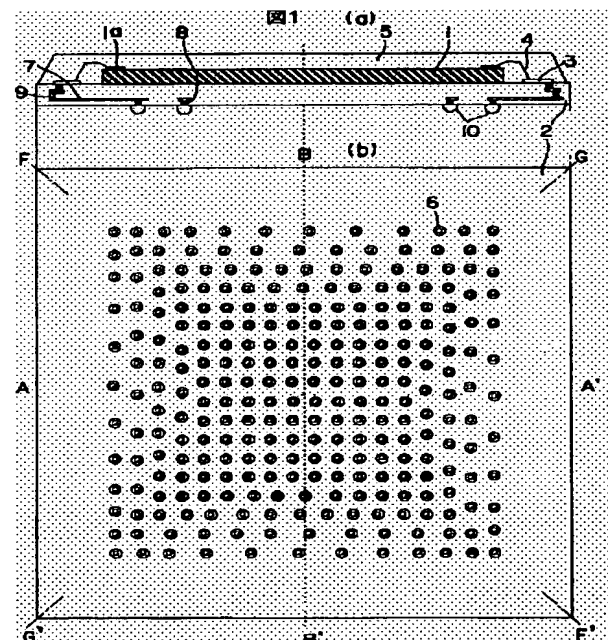
(54) 【発明の名称】 半導体装置、半導体チップおよび実装基板

## (57) 【要約】

【課題】 電気性能劣化、信頼性、製造歩留りの低下、製造費増を防止する。

【解決手段】 チップ1と、チップ1が搭載されたLTCC基板2と、LTCC基板2の上面の外周辺部に形成された複数個のパッド3と、チップ1の電極パッド1aとLTCC基板2のパッド3とを接続した金ワイヤ4と、チップ1、パッド3、金ワイヤ4を樹脂封止した樹脂封止体5と、LTCC基板2の下面にエリアアレイ状に配列されて各パッド3と配線7によって接続された端子6とを有するBGA・ICにおいて、端子6群の密度は中央部に近い列が最も高く、それよりも外側の列ほど低くなるように設定されている。

【効果】 周辺側端子から中央側端子への配線を広い周辺側端子間を通して引き回し得るため、配線抵抗値、配線間絶縁抵抗値、配線断線、層間剥離等の性能を向上しつつ小形化し、製造工数や製造費を低減し、製造歩留りを向上できる。



## 【特許請求の範囲】

【請求項1】 複数個の端子および／またはそれらの近傍にそれぞれ配置されてそれらと配線とを接続する接続部が端子形成面の少なくとも一本の中心線に対して片側3列以上の列に配置されている半導体装置において、前記複数個の端子および／または接続部の密度は、前記中心線に最も近い列が最も高く、それよりも外側の列ほど低くなるように設定されていることを特徴とする半導体装置。

【請求項2】 前記端子および／または接続部の外側に、それらにおける最外周の端子および／または接続部の密度よりも密度が高い複数個の端子および／または複数個の接続部の列が1列または数列に分けて配置されていることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記端子および／または接続部を形成する位置が等ピッチに設定され、それらの中から前記端子および／または接続部のいくつかの間引かれていることを特徴とする請求項1または2に記載の半導体装置。

【請求項4】 複数個の端子および／またはそれらの近傍にそれぞれ配置されてそれらと配線とを接続する接続部が端子形成面の少なくとも一本の中心線に対して片側3列以上の列に配置されている半導体チップにおいて、前記複数個の端子および／または接続部の密度は、前記中心線に最も近い列が最も高く、それよりも外側の列ほど低くなるように設定されていることを特徴とする半導体チップ。

【請求項5】 複数個の端子および／またはそれらの近傍にそれぞれ配置されてそれらと配線とを接続する接続部が端子形成面の少なくとも一本の中心線に対して片側3列以上の列に配置されている実装基板において、前記複数個の端子および／または接続部の密度は、前記中心線に最も近い列が最も高く、それよりも外側の列ほど低くなるように設定されていることを特徴とする実装基板。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置、半導体チップおよび実装基板に関し、例えば、BGA (Ball Grid Array Package)、CSP (Chip size Package)、LGA (Land Grid Array Package) 等のエリアアレイ形のパッケージを備えた半導体装置、フリップチップ (Flip chip) 等のエリアアレイ状の端子を持つ半導体チップおよびこれらに対応する実装基板に利用して有効な技術に関する。

## 【0002】

【従来の技術】BGAやCSPおよびLGA等のエリアアレイ形のパッケージを備えた半導体装置においては、パッケージの実装面に複数個の端子がエリアアレイ形状に配置されており、この端子群は等ピッチに配列されているか、または、配線等の都合から一定のパターンの線

返して配列されているのが、一般的である。

【0003】なお、エリアアレイ形パッケージや半導体チップの接合技術を述べている例としては、「林、富田、馬場、上田：2000pin 級Flip chip BGAにおけるフリップチップ接合技術開発：6th Symposium on "Microjoining and Assembly Technology in Electronics", pp157-162 ('00.2.3-4, Yokohama)」がある。

## 【0004】

【発明が解決しようとする課題】従来のこの種の半導体装置においては、その小形化または多ピン化が進行しており、これに連れて、半導体装置内の配線形成が難しくなっている。すなわち、端子間のピッチが狭くなり、さらに、その端子間を通す配線数が増えるため、配線として細い配線を使用したり、配線間隔が狭いものを使用したり、または、配線を複数の層に分けて形成したりする必要がある。

【0005】その結果、次のような不具合が生じている。すなわち、配線抵抗値が高くなり、半導体装置内での電圧低下が大きくなり、電気的性能が低下し、配線間の絶縁抵抗値が低下する。外力や熱応力により、配線が断線したり、配線層間で剥離し易い。また、配線層数が増えることや、困難な微細配線技術を使用することにより、半導体装置の製造工程数の増加や製造歩留低下および製造コスト上昇等の問題が発生する。そして、これらの問題が、半導体装置の小形化、多ピン化の障害になっている。

【0006】本発明の目的は、電気性能劣化や信頼性および製造歩留まりの低下、並びに製造コストの上昇を防止することができるエリアアレイ形のパッケージや半導体チップおよびこれらに対応する実装基板を提供することにある。

【0007】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

## 【0008】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を説明すれば、次の通りである。

【0009】すなわち、複数個の端子および／またはそれらの近傍にそれぞれ配置されてそれらと配線とを接続する接続部が端子形成面の少なくとも一本の中心線に対して片側3列以上の列に配置されている半導体装置において、前記複数個の端子および／または接続部の密度は、前記中心線に最も近い列が最も高く、それよりも外側の列ほど低くなるように設定されていることを特徴とする。

【0010】複数個の端子がエリアアレイ形に配列された半導体装置において、周辺列の複数個の端子から中央の列の複数個の端子への配線を引き回す場合には、周辺に行くほど配線密度が高くなり、中央ほど配線密度が低

くなる傾向が認められる。そこで、従来のように均一ピッチの端子等を形成していると、必然的に周辺に行くほど配線ピッチが狭まることになる。

【0011】前記した手段によれば、中央に近い端子の間隔が詰められ、周辺に近い端子の間隔が開けられていることにより、端子の数や半導体装置の外形を大きく設定せずに、配線間隔を広く設定することができるため、周辺側の端子から中央側の端子への配線を広くなった配線間隔を通して引き回しすることができる。

【0012】

【発明の実施の形態】図1は本発明の一実施の形態であるBGAを備えた半導体集積回路装置を示しており、

(a)は正面断面図、(b)は配線基板の平面図である。図2は配線基板の内層の配線を示す平面図である。図3は電気特性検査装置の実装基板を示す平面図である。図4は比較例を示しており、(a)は正面断面図、(b)は配線基板の平面図であり、図5はその配線基板の内層の配線を示す平面図である。

【0013】なお、図面において、半導体チップ、半導体装置および実装基板の平面図および平面断面図は、上方から透視した図面に統一されている。

【0014】本実施の形態において、本発明に係る半導体装置は、BGAを備えた半導体集積回路装置（以下、BGA・ICという。）として構成されている。BGA・ICのBGAはシステムLSIが作り込まれた半導体チップ（以下、チップという。）1と、配線層が表裏を入れて四層に構成された低温焼結セラミック基板（以下、LTCC基板という。）2とを備えており、LTCC基板2の一主面（以下、上面とする。）における外周辺部にはAuとAg-Ptとからなる複数個のパッド3が形成されている。チップ1の電極パッド1aとLTCC基板2のパッド3との間には金ワイヤ4が橋絡されており、チップ1とLTCC基板2とは金ワイヤ4によって電気的に接続されている。LTCC基板2の上面にはエポキシ樹脂からなる樹脂封止体5がチップ1、パッド3および金ワイヤ4を樹脂封止するように成形されている。

【0015】チップ1は9mm角の正方形の平板形状に形成され、LTCC基板2は12mm角で厚さが0.3mmの正方形の平盤形状に形成されている。チップ1はアクティブエリア側を上にしてLTCC基板2の上面に接着材で固定され、次いで、金ワイヤ4によってLTCC基板2のパッド3に電気的に接続される。その後、LTCC基板2の上面には樹脂封止体5がトランスファ成形法によって成形される。このBGA・ICは12mm角で厚さが1.2mmに形成されている。

【0016】LTCC基板2の下面には複数個の端子6が略全面に配置されており、端子6の総数は268ピンに設定されている。LTCC基板2の上面のパッド3と下面の端子6との間は、内部配線7と端子直近のバイア

ホール（以下、直近のバイアホールという。）8と一般のバイアホール9とによって電気的に接続されている。端子6の直径は0.25mmであり、端子6の下面には半田からなるバンプ（突起電極、Bump）10が突設されている。バンプ10はSn-Ag-Cu系の半田材料からなり直径が約0.3mmの半田ボールが使用されて形成されたものである。

【0017】端子6間の最小ピッチは0.5mmである。端子6群はA-A'とB-B'との二本の中心線に対して片側9列の配置となっている。ここで、中心線が二本ある場合、例えば、本実施の形態においては線間の45度の分離ラインを想定する。図1中のF-O-F'およびG-O-G'の線である。中心線A-A'に対して片側9列とは、F-O-GまたはG'-O-F'の領域での列数を述べている。（以下、全て同様である。）。内側五列目迄は全て0.5mmの均一ピッチで端子6を形成している。六列目は最大ピッチが0.70mm、平均ピッチが0.55mm、七列目は最大ピッチが0.70mm、平均ピッチが0.59mm、八列目は最大ピッチが1.0mm、平均ピッチが0.75mm、九列目は最大ピッチが1.0mm、平均ピッチが0.77mmである。

【0018】LTCC基板2の内部配線7が示されている図2において、直近のバイアホール8のランド径は0.25mmであり、直近のバイアホール8の直上には端子6のパッドが形成されている。内部配線7の最小幅および間隔は50μmであり、内部配線7は図2に示されているように引き回されている。すなわち、0.5mmのピッチで直径0.25mmの直近のバイアホール8、8間には、最大二本の配線を通すことができる。0.7mm間隔では四本、1.0mm間隔では七本である。その結果、図2の配線と周辺に形成した一般のバイアホール9を通じてチップ1の電極パッド1aと金ワイヤ4によって接続する配線を形成することができる。

【0019】図3は以上の構成に係るBGA・ICを搭載し評価するための実装基板11を示している。この実装基板11にもLTCC基板が使用されており、その配線構成は図2のLTCC基板2と同様である。図3において、ランド12は端子6に対応し、基板配線13は内部配線7に対応する。符号14はBGA・ICの搭載位置を示している。

【0020】次に、以上の構成に係るBGA・ICおよび実装基板の端子配列の作用および効果を、図4および図5に示された従来例と比較して説明する。

【0021】図4は外形等を前記実施の形態1に係るBGA・ICと同一にし、端子群を均一ピッチで配列した従来のBGA・ICを示している。均一ピッチで製造する場合には、端子6の列数は片側7列で足りる。そのため、端子6のピッチを前記実施の形態1の0.5mmピッチから0.53mmに拡大することができる。

【0022】図5はその場合の内部の配線を示している。図5から理解されるように、端子6の最外周では直近のバイアホール8、8間に内部配線7を最大四本を通す必要がある。端子6の直径を0.25mmのままとして前記実施の形態1と同じように内部配線7を一層で引き回すために、配線幅および配線間隔を30 $\mu$ mに設定した。その結果、試作した図4のBGA・ICにおいては、断線、短絡の不良が多発した。

【0023】この断線および短絡の不良の発生を防止するために、50 $\mu$ mの配線幅および配線間隔の配線を形成すると、必要となる配線層数は前記実施の形態1の二倍の二層に設定せざるを得ない。そして、配線層数が増加すると、BGA・ICの製造コストは増加する。また、配線が複雑になる分、配線抵抗値や配線間容量および配線インダクタンスが増加するため、BGA・ICとしての高速性への対応が難しくなる。

【0024】また、このBGA・ICを実装する実装基板としては、前記実施の形態1の実装基板よりも二倍の層数が必要となる。配線層を一層で形成するには、端子6間のピッチは0.7mmの均一ピッチに設定すればよいが、BGA・ICの外形は約15mm角も必要になるため、大形となる。また、BGA・ICが大形になることにより、配線抵抗値の増加等の問題が発生する。さらに、BGA・ICを試験するためのプローブカードやソケットの回路についても同様に回路が複雑にならざるを得ない。

【0025】図6は本発明の実施の形態2であるBGA・ICを示しており、図7はその内部の引き回し配線を示している。

【0026】本実施の形態2が前記実施の形態1と異なる点は、LTCC基板の代わりにビルドアップ基板16が使用されている点、端子6と直近のバイアホール8との位置を同じ位置にせず0.3mm程度ずらして形成している点である。

【0027】ビルドアップ基板16はコア層に片面にビルドアップ層を二層を積み重ねた構成であり、ビルドアップ層の一層は端子6および端子6と直近のバイアホール8を繋ぐ配線が形成されており、その内層のビルドアップ層は配線引き回し層になっている。その内部配線7はビルドアップ基板16の外周辺部に形成された一般のスルーホール9'を介してチップ1側のパッド3'と接続している。

【0028】このBGA・ICを搭載して評価する実装基板を通常のプリント基板で製造したところ、プリント基板においては、ランド径を0.25mm、配線幅および配線間隔を80 $\mu$ mとして、二層で配線形成が可能となった。

【0029】また、このBGA・ICを搭載して評価する実装基板はプリント基板ではなく、BGA・ICと同様にビルドアップ基板によっても製造することができ

る。バイアホールのランド直径を0.25mm、配線幅および配線間隔を50 $\mu$ mで形成することができる。このため、図3に示した場合と同様に表面にソルダーレジスト等の保護膜は必要ではあるが、配線層としては一層で配線を形成することができる。

【0030】これを前記実施の形態1の比較例で示した従来の均一ピッチ配置の端子によって形成したBGA・ICを搭載する実装基板で製造するとなると、プリント基板においては二層ではなく四層も必要となり、ビルドアップ層では一層でなく二層が必要となる。つまり、本実施の形態2に係るBGA・ICによれば、従来の場合と比較して、半分の配線層で実装基板を作成することができる。

【0031】図8は本発明の実施の形態3であるBGA・ICを示しており、図9はその内部の引き回し配線を示している。

【0032】本実施の形態3が前記実施の形態1と異なる点は、LTCC基板の代わりにビルドアップ基板が使用されている点、端子と直近のバイアホールとの位置を同じ位置にせず0.3mm程度ずらして形成している点、チップとビルドアップ基板とがフリップチップ接続されている点、ビルドアップ基板の上面の外周辺部に端子が高密度に配列されている点である。

【0033】チップ1は344ピンのシステムLSIチップであり、チップは10mm角の正方形の平板形状に形成され、チップ1の全ての端子6には高さが約40 $\mu$ mの金ワイヤバンプ（金ワイヤによるスタッドバンプ）15aが形成されている。チップ1はビルドアップ基板16Aに金ワイヤバンプ15aおよび異方導電性フィルム（ACF）15bによって機械的かつ電氣的に接続されている。ビルドアップ基板16Aは14mm角の正方形の平盤形状に形成されている。前記実施の形態3と同様に、ビルドアップ基板16Aはコア層に片面にビルドアップ層が二層構成されており、ビルドアップ層の一層は端子6および端子6とバイアホールを繋ぐ配線が形成され、その内層のビルドアップ層には図9に示された配線7が引き回されている。なお、外側パッドと接続する配線がビルドアップ基板16Aの最上層に形成されている点は前記実施の形態3と異なる。

【0034】チップ1からの配線はビルドアップ基板16Aの外周辺部に配置した直近のバイアホール8を通してビルドアップ基板16Aの下面に形成された端子6へ接続されている。バンプ10が突設される端子6はそのバイアホール8より内側に268個、外側に76個である。内側の268個のバンプ10は片側9列であり、内側の5列は前記実施の形態1と同様に0.5mmピッチでバンプおよびそれに接続した直近のバイアホール8を形成してある。その外側の六列目は、ビルドアップ基板のバンプおよびバイアホールの最大ピッチが0.70mm、平均ピッチが0.55mm、七列目は最大ピッチが

0.70mm、平均ピッチが0.59mm、八列目は最大ピッチが1.0mm、平均ピッチが0.75mm、九列目は最大ピッチが1.0mm、平均ピッチが0.77mmである。バイアホールの外側1列のバンパおよびバイアホールは0.5mmピッチで形成してある。

【0035】以上の構成に係るBGA・ICが搭載される実装基板11Aが図10に示されており、図10においては表層のランド12や基板配線13が示されている。実装基板11Aの外周辺部のランド12と接続する基板配線13は表層で引き回されている。また、中央部のランド12からの基板配線13は内層において引き回されており、その配線レイアウトが図11に示されている。

【0036】以上のように構成することにより、特に層数を増やすことなく、BGA・ICを実装する実装基板11Aを製造することができる。本実施の形態3においては、BGA・ICのビルドアップ基板16の外周辺部に1列の高密度バンパを形成しているが、1列であることが必然では無く、それを複数列に分けることも可能である。また、本実施の形態3においては、それに接続した実装基板の配線を基板の最上面で引き回しているが、一部が内層に配線されても同様の効果を発揮する。

【0037】図12は本発明の実施の形態4であるWPP（ウエハ・プロセス・パッケージ。ウエハ・レベルCSPとも称されている。）を備えた半導体集積回路装置（以下、WPP・ICという。）を示しており、図13はその内部の引き回し配線を示している。

【0038】本実施の形態に係るWPP・IC17にはマイクロコンピュータが作り込まれており、WPP・IC17は9.5mm角の正方形の平板形状に形成されている。WPP・IC17の一主面（チップのアクティブエリア側の主面）にはポリイミド樹脂からなる樹脂封止体18がCr/Cu/Crの薄膜の配線を樹脂封止するように形成されており、樹脂封止体18の下面にエリアレイ状に配列されて露出された端子には半田からなるバンパ10が突設されている。ちなみに、WPP・IC17は9.5mm角のチップ部のそれぞれにマイクロコンピュータを作り込まれた半導体ウエハのアクティブエリア側主面に被着されたポリイミド樹脂を選択的にパターンニングされて樹脂封止体18および端子群を形成され、さらに、その半導体ウエハの状態でその各端子にバンパ10が突設され、その後、半導体ウエハがダイシングされてばらばらに切り離されることにより、製造されたウエハレベルCSPである。

【0039】本実施の形態に係るWPP・IC17のバンパ10の総数は268個であり、最小ピッチは0.5mmである。バンパの列はA-A'およびB-B'の二本の中心線に対して片側9列配置となっている。この配置やピッチは前記実施の形態1と全く同様である。バンパのランド直径は0.25mm、最小の線幅および最小

の配線間隔は50μmである。バンパ10はSn-Ag-Cu系の半田材料からなり直径が約0.3mmの半田ボールが使用されて形成されている。ポリイミド樹脂によって成形された樹脂封止体18は二層から構築されており、図13に示されているように、下の層はチップの電極パッドに直径40μmのバイアホール8の開いた構造になっており、そのバイアホール8を介して引き回しのCr/Cu/Crの配線7が電極パッケージとバンパ10間と接続されている。回路の保護を兼ねた上側のポリイミド層にはバンパ10を突設される端子の位置に直径225μmの開口が形成されている。なお、開口導体部のCr/Cu/Crの薄膜の上には、NiとAu導体が形成されている。

【0040】これを前記実施の形態1の比較例で示した従来の均一ピッチを用いて製造するものとして一層で引き回し配線する場合には、配線幅および配線間隔を33μm以下とすることが必要である。従来例の場合においてはセラミックの多層基板のため配線形成が困難であったが、本実施の形態において適用した薄膜技術においては、33μmの配線を形成することは容易である。しかし、微細配線形成による歩留まり低下および製造されたWPP・ICの実装後の熱応力等の実使用条件下での配線の信頼性の低下は不可避となる。

【0041】また、WPP・IC17は9.5mm角であり、前記実施の形態1のBGA・ICが12mm角であるのに対して、一段と小形化を達成している。

【0042】図14は本発明の実施の形態5であるWPP・ICを示しており、図15はその内部の引き回し配線を示している。

【0043】本実施の形態に係るWPP・IC19には高速メモリーが作り込まれており、WPP・IC19は8mm×4.5mmの長方形の平板形状に形成されている。WPP・IC19の一主面（チップのアクティブエリア側の主面）にはポリイミド樹脂からなる樹脂封止体18がCr/Cu/Crの薄膜の配線を樹脂封止するように形成されており、樹脂封止体18の下面にエリアレイ状に配列されて露出された端子には半田からなるバンパ10が突設されている。ちなみに、WPP・IC19の製造方法は前記実施の形態4のそれと同様である。

【0044】本実施の形態に係るWPP・IC19のバンパ10の総数は72個であり、WPP・IC19の電極パッド1aの列はWPP・IC19の長手方向に延在する中心線B-B'に沿って2列に形成されている。バンパ10群はこの中心線に平行に片側3列、両側6列に配列されている。各バンパ10と各電極パッド1aとの間は前記実施の形態4と同様にCr/Cu/Crの薄膜の配線7によってそれぞれ接続されており、これらの薄膜の配線7の最小幅および配線間隔は50μmである。片側3列のバンパ10のパッドの直径は全て0.25mmである。内側より1列目は片側に17個のバンパがあ

り、それらの平均ピッチは0.40mmである。内側より二列目は片側に12個のバンパがあり、0.50mmピッチのスパンおよび0.65mmピッチのスパンがそれぞれ五個所であり、それらの平均ピッチは0.575mmである。最も外側の列は片側に7個のバンパがあり、1.13mmおよび0.97mmのピッチがそれぞれ三スパンあり、その平均ピッチは1.05mmである。このWPP・IC19は配線の最小線幅が50 $\mu$ mであるため、製造上の問題は無い。

【0045】図15は以上の構成に係るWPP・IC19が搭載される実装基板11Bを示している。実装基板11Bの表層にはランド12および基板配線13が形成されており、実装基板11Bのランド12と接続する基板配線13はいずれも表層で引き回されている。ランド12のパッド径を0.25mmとすれば、0.5mmピッチでのスパンでは一本、0.65mmピッチでのスパンでは二本、0.97mmピッチでのスパンでは四本、1.13mmピッチでのスパンでは五本の基板配線13を引き回すことができる。

【0046】このWPP・IC19を用いることの最大のメリットは、この実装基板11Bにおける基板配線13の引き回しが80 $\mu$ mの配線幅および配線間隔によって可能なプリント基板であれば一層でそれを実現することができる点である。勿論、これよりも高密度の配線形成が可能なビルドアップ基板でも実施することができる。この実装基板において配線層の低減または配線幅を広くできることは、実装基板の低コスト化および高信頼度化の効果をもたらす。そして、実装基板において配線層を低減したり配線幅を広く設定したりするのが可能なことは、実装基板の低コスト化および高信頼度化の効果をもたらす。

【0047】このWPP・IC19および実装基板11Bを前記実施の形態1の比較例で示した従来の均一ピッチ配置で製造すると、片側12個×3列のバンパ配列となり、バンパのピッチは広がって0.58mmとなるが、その間に二本の配線を通す必要がある。この場合には、直径0.25mmのバンパを用いると、単層で配線を引き回すには配線幅および配線間隔が66 $\mu$ m以下の配線の形成が必要となる。これはビルドアップ基板であれば製造可能であるが、通常のプリント基板では困難である。そして、信頼性および歩留まりを考慮すると、通常のプリント基板では二層に分けた配線形成となる。このことはWPP・ICおよび実装基板のコストアップや信頼性の低下に繋がる。

【0048】図16は本発明の実施の形態6であるLGA（ランド・グリッド・アレイパッケージ）を備えた半導体集積回路装置（以下、LGA・ICという。）を示しており、図17はその内部の引き回し配線を示している。

【0049】本実施の形態6に係るLGA・ICにおい

ては前記実施の形態1のLTCC基板の代わりにビルドアップ基板16Bが使用されており、ビルドアップ基板16Bの下端に形成された端子6群列のうち一部の列が均一ピッチに配列されているとともに、均一ピッチに配列された端子6に抜けを作って配線間隔が広く設定されている。

【0050】図16に示されているように、ビルドアップ基板16Bに配列された端子6は中心線A-A'および中心線B-B'に対しそれぞれ片側7列の配置になっている。端子6のパッド径は0.25mmであり、直近のバイアホール8の径は0.2mmである。五列目迄は直近のバイアホール8および端子6のピッチは均一の0.45mmである。六列目は平均ピッチで0.825mmであるが、幅4.95mmに六個の端子6が配置形成されている。但し、六列目においては、対角線の近傍で端子6および直近のバイアホール8が0.45mmピッチで配置され、中央部で端子6および直近のバイアホール8が省略されている。同様に、七列目においても幅5.85mmに四個の端子6および直近のバイアホール8が配置されており、平均ピッチは1.46mmであるが、対角線近傍では端子6および直近のバイアホール8が0.45mmピッチで配置されており、中央部で端子6および直近のバイアホール8が省略されている。すなわち、端子6および直近のバイアホール8の配置は辺中央部において抜けた鼓形状になっている。

【0051】このビルドアップ基板16Bの配線は幅および間隔を50 $\mu$ mに設定することにより、単層での引き回しが可能である。また、このLGA・ICを搭載する実装基板も配線幅および間隔を50 $\mu$ mに設定することにより、配線を単層で引き回すことができる。さらに、このLGA・ICは実装後に半田バンパと実装基板のランドとの未接続を顕微鏡下で検査する際に、容易に観察することができるというメリットがある。また、このLGA・ICにおいては、従来の均一ピッチでバンパを配置するCAD方式を用いて設計することもできるため、製造コストをより一層低減することができる。

【0052】図18は本発明の実施の形態7であるLGA・ICを示している。

【0053】本実施の形態7においては、前記実施の形態6に係るLGA・ICにおいて抜かれた端子の位置にチップと接続していないダミーバンパ20が配置されている点である。ビルドアップ基板16Cの表面にはこのダミーバンパ20の配線が省略されているため、ダミーバンパ20がBGA・ICにおける配線の引き回しに際して障害になることはない。

【0054】このLGA・ICによれば、前記実施の形態の作用効果に加えて、実装基板に実装する場合に、ダミーバンパ20が多い分だけ実装基板とBGA・ICとの熱膨張係数差等に起因する応力が分散され易くなるため、実装信頼性を向上させることができるというメリ



ットを得ることができる。

【0055】図19は本発明の実施の形態8であるLGA・ICを示しており、図20はその内部の引き回し配線を示している。

【0056】本実施の形態8は前記実施の形態6の変形例であり、前記実施の形態6と異なる点は、ビルドアップ基板16Dにおいて端子6とそれに対応した直近のバイアホール8の位置の一部とがずれている点である。

【0057】すなわち、前記実施の形態6の内部の引き回し配線を示した図17において、仮想線E-E'、C-C'、D-D'の上に配置していた直近のバイアホール8が、図20に示されているように、0.2mm程度外側にずらされている。これにより、配線形成が難しくなることがないことは、図17と図20との比較から明らかである。これらの直近のバイアホール8に対応した端子6も図19に示されているように列からずれている。

【0058】本実施の形態8のように、直近のバイアホール8や端子6が正確な列を構成せずに、半ピッチ程度ずつずれた場合であっても、前記実施の形態1と同様の作用効果が奏される。

【0059】図21は本発明の実施の形態9であるMCM（マルチ・チップ・モジュール）を示している。なお、図21はMCMの構成概要を示すものであり、実際のものとは細かく図示が難しいため、リードやワイヤボンディングパッドの数等が実際とは異なる。

【0060】本実施の形態9に係るMCMは、前記実施の形態4に係るマイクロコンピュータが作り込まれた268ピンのBGA・IC21を一個と、前記実施の形態5に係る高速メモリーが作り込まれた72ピンのBGA・IC22を四個用いたMCMの例である。このMCMのパッケージは45mm角で厚さ2mmのQFP（クワッド・フラット・パッケージ）に構成されている。MCM基板23は全層がバイアホールで接続される四層のビルドアップ基板を使用しており、MCM基板23は30mm角で厚さ0.5mmの略正方形の平板形状に形成されている。MCM基板23の配線はバイアホールのランド直径が0.25mm、配線幅および配線間隔がそれぞれ50μmである。MCM基板23の外側にはリード24群が配置されており、リード24間のピッチは0.3mmに設定されている。

【0061】このMCM基板23に一個のマイクロコンピュータBGA・IC21と四個の高速メモリーBGA・IC22とがリフロー半田付け処理によって機械的かつ電氣的に接続される。洗浄後、MCM基板23の外周辺部に形成されたワイヤボンディングパッド3'とリード24との間に金ワイヤ4がワイヤボンディングされる。ワイヤボンディング後に、樹脂封止体25がBGA・IC21、22、ワイヤボンディングパッド3'、金ワイヤ4およびリード24のインナ部を樹脂封止するよ

うに成形される。

【0062】本実施の形態に係るMCM基板23によれば、前記実施の形態4や前記実施の形態5で述べた実装基板と同様に、従来の均一ピッチ配置で製造する場合に比べて層数を低減することができる。

【0063】図22は本発明の実施の形態10であるMCMを示しており、図23はそのバンプ等の配置を示している。図24はその実装基板を示している。

【0064】本実施の形態10は、前記実施の形態9のQFPを備えたMCMをBGAを備えたMCMに構成した場合を示しており、構成部品は前記実施の形態9と同様である。MCM基板23は全層がバイアホールで接続される四層のビルドアップ基板を使用しており、MCM基板23は30mm角で厚さ0.5mmの略正方形の平板形状に形成されている。MCM基板23の配線はバイアホールのランド直径が0.25mm、配線幅および配線間隔がそれぞれ50μmである。

【0065】図23に示されているように、MCM基板23の下面にはバンプ10を突設する端子6および直近のバイアホール8がエリアアレイ状に配列されている。すなわち、端子6は24×24の1.0mmピッチ配列で、周辺近傍で端子6の一部を抜いた構成になっている。端子6は中心線に対し、片側12列になっている。そのうちの内側の九列目迄は1mmの均一ピッチであり、1mmの均一バンプのうち、十列目は二個の端子6を、十一列目は三個の端子6を、十二列目は六個の端子6をそれぞれ抜いた構成になっている。各列での端子6の密度は、内側の一列目～九列目は1端子/mm、十列目は0.89端子/mm、十一列目は0.86端子/mm、十二列目は0.74端子/mmとなっている。MCM基板23の配線は、バイアホールのランド直径を0.25mmとし、配線幅および配線間隔をそれぞれ50μmとすることで実現した。

【0066】本実施の形態10に係るMCMを実装する図24に示された実装基板11Cにおいて、ランド12の直径は0.5mmとし、ランド12、12間に配線幅および配線間隔が50μmの配線を形成した。ランド12の間隔が1mmの場合には四本の配線を通すことができ、ランド12の間隔が2mmの場合には十四本の配線を通すことができる。この結果、MCM搭載の引き回し配線13は、図24に示されているように、一層のビルドアップ層によって形成することができた。

【0067】MCM基板を従来の1mm均一ピッチエリアアレイ状配置とすれば、1mmの端子間には一層では最大五本の配線の引き回しが必要となる。端子の径を0.5mmとした場合は、配線幅および配線間隔が50μmの配線では二層のビルドアップ層が必要となる。また、配線の引き回しを一層のビルドアップ層によって達成するためには配線幅および配線間隔を45μm以下にすることが必要となり、MCM基板製造技術の上で難し



くなるのと、MCM基板使用時の配線の断線、短絡の発生頻度が高まることになる。

【0068】以上本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0069】例えば、前記実施の形態においては、端子に半田バンプが突設されるBGAおよび端子にバンプが突設されないLGAについて説明したが、エリアアレイ状の端子を有するものであれば、フリップ・チップ等の半導体チップであってもよい。

【0070】バンプは半田材料によって形成するに限らず、金やその他の導電性材料によって形成してもよい。また、バンプは半田ボールを溶着して形成するに限らず、ワイヤボンディング法やめっき法によって形成してもよい。

【0071】

【発明の効果】以上説明したように、本発明によれば、エリアアレイ状の端子を有する半導体装置、半導体チップおよび実装基板において、多ピンを維持しつつ小形化を実現することができるとともに、次の効果を得ることができる。

【0072】(1) 配線幅を大きく設定することにより、配線抵抗値等を低減することができるため、電気性能を向上させることができる。

【0073】(2) 配線間隔を大きく設定することにより、配線間の絶縁抵抗値等を高く維持することができるため、絶縁信頼性を向上させることができる。

【0074】(3) 配線幅を広く設定することにより、外力や熱応力によって配線が断線するのを防止することができる。

【0075】(4) 配線層数を低減することにより、層間剥離等が発生するのを低減することができる。

【0076】(5) 習熟した配線形成技術を適用することができるため、半導体装置の製造工程数および製造コストを低減することができ、また、製造歩留りを向上させることができる。

【0077】(6) これらの半導体装置を実装する実装基板においても半導体装置と全く同様のことが成立するため、実装基板においても、前記(1)～(5)の効果を得ることができる。

【0078】(7) 前記(1)～(6)により、半導体装置を実装した実装構造体において、コストを低減することができるのと同時に、品質および信頼性を高めることができる。

【0079】(8) 半導体装置の外部端子において外周部の端子列に行くほど端子の密度を低く設定することにより、端子の接続状態を容易に観察することができ、また、半導体装置と実装基板との間に樹脂を注入する構成の場合には、樹脂を容易に注入することができる。

【0080】(9) 端子や直近のビアホールを抜いたスペースにキャパシタや抵抗素子等の薄膜部品やフューズ等の電気部品を配設することができる。

【0081】(10) 実装基板の端子や直近のビアホールを抜いたスペースにキャパシタや抵抗素子等の薄膜部品やフューズ等の電気部品を配設することができる。

【0082】(11) 半導体装置を実装基板に実装する際に実装基板の変形やパターンずれを防止することができるため、実装歩留まりを高めることができる。これは実装基板のパターンずれは搭載位置中心に対し周辺に行くほど大きくなるので、周辺ほど端子の平均ピッチの広い本発明の方が従来品と比較して隣合う端子との短絡の可能性を低く抑えることができるためである。

【図面の簡単な説明】

【図1】本発明の一実施の形態であるBGA・ICを示しており、(a)は正面断面図、(b)は配線基板の平面図である。

【図2】配線基板の内層の配線を示す平面図である。

【図3】電気特性検査装置の実装基板を示す平面図である。

【図4】比較例を示し、(a)は正面断面図、(b)は配線基板の平面図である。

【図5】その配線基板の内層の配線を示す平面図である。

【図6】本発明の実施の形態2であるBGA・ICを示しており、(a)は正面断面図、(b)は配線基板の平面図である。

【図7】その内部の引き回し配線を示す平面図である。

【図8】本発明の実施の形態3であるBGA・ICを示しており、(a)は正面断面図、(b)は配線基板の平面図である。

【図9】その内部の引き回し配線を示す平面図である。

【図10】そのBGA・ICが搭載される実装基板を示す平面図である。

【図11】その内部の引き回し配線を示す平面図である。

【図12】本発明の実施の形態4であるWPP・ICを示しており、(a)は正面図、(b)は配線基板の平面図である。

【図13】その内部の引き回し配線を示す平面図である。

【図14】本発明の実施の形態5であるWPP・ICを示しており、(a)は正面断面図、(b)は配線基板の平面図である。

【図15】そのWPP・ICが搭載される実装基板を示す平面図である。

【図16】本発明の実施の形態6であるLGA・ICを示しており、(a)は正面断面図、(b)は配線基板の平面図である。

【図17】その内部の引き回し配線を示す平面図であ

る。

【図18】本発明の実施の形態7であるLGA・ICを示しており、(a)は正面断面図、(b)は配線基板の平面図である。

【図19】図19は本発明の実施の形態8であるLGA・ICを示しており、(a)は正面断面図、(b)は配線基板の平面図である。

【図20】その内部の引き回し配線を示す平面図である。

【図21】本発明の実施の形態9であるMCMを示しており、(a)は正面断面図、(b)はMCM基板の平面図である。

【図22】本発明の実施の形態10であるMCMを示しており、(a)は正面断面図、(b)は配線基板の平面図である。

【図23】その端子および直近のバイアホールのレイア

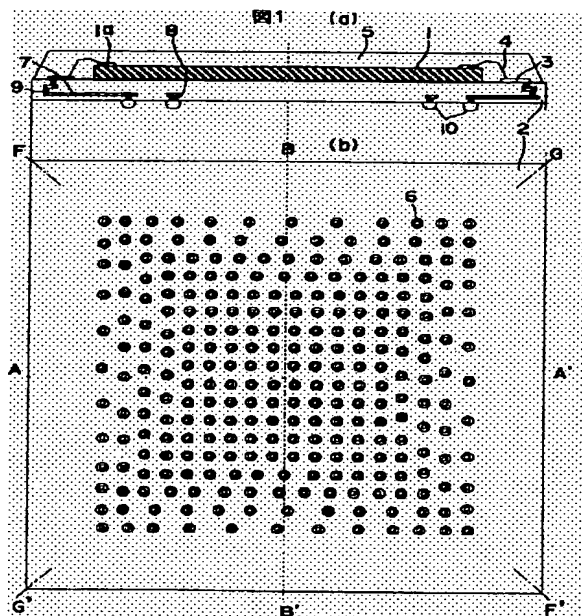
ウトを示す平面図である。

【図24】その実装基板を示す平面図である。

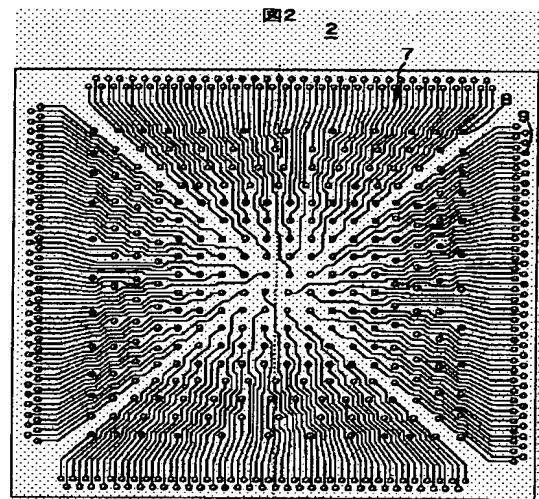
【符号の説明】

- 1…チップ（半導体チップ）、1a…電極パッド、2…  
LTC基板（低温焼結セラミック基板）、3…パッド、3'…ワイヤボンディングパッド、4…金ワイヤ、  
5…樹脂封止体、6…端子、7…配線、8…直近のバイ  
アホール、9…一般のバイアホール、9'…スルーホール、10…バンブ、11、11A、11B、11C…実  
装基板、12…ランド、13…基板配線、14…BGA  
・IC、15a…金ワイヤバンブ、15b…ACF、1  
6、16A、16B、16C、16D…ビルドアップ基  
板、17…WPP・IC、18…樹脂封止体、19…W  
PP・IC、20…ダミーバンブ、21…BGA・I  
C、22…BGA・IC、23…MCM基板、24…リ  
ード、25…樹脂封止体。

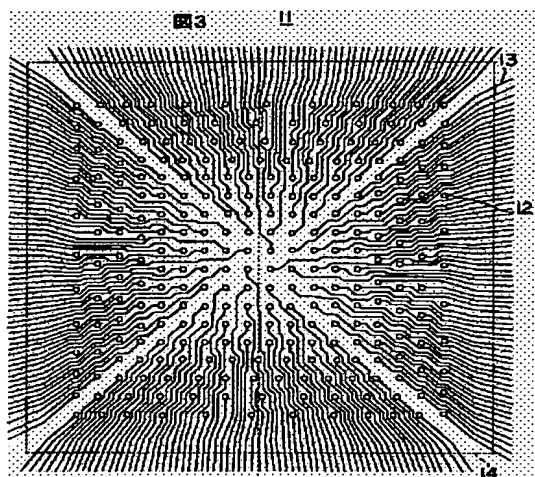
【図1】



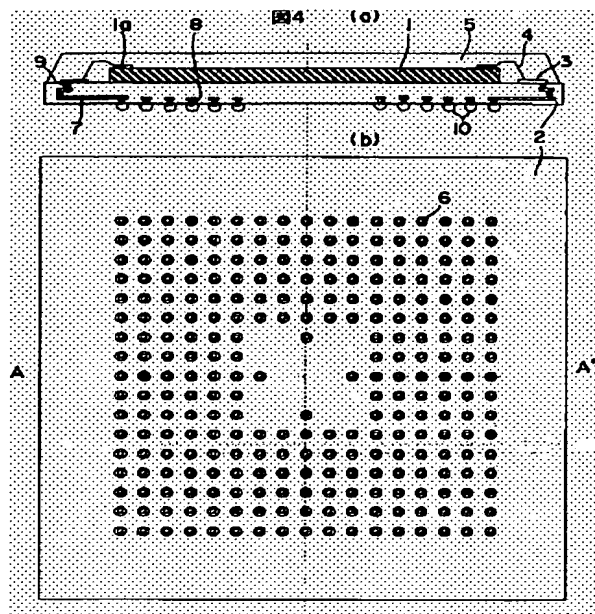
【図2】



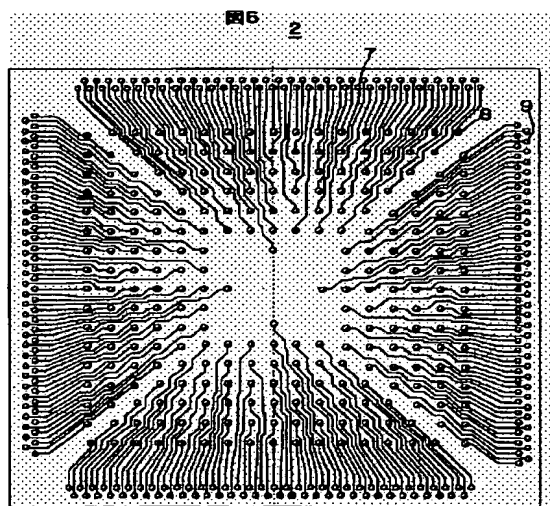
【図3】



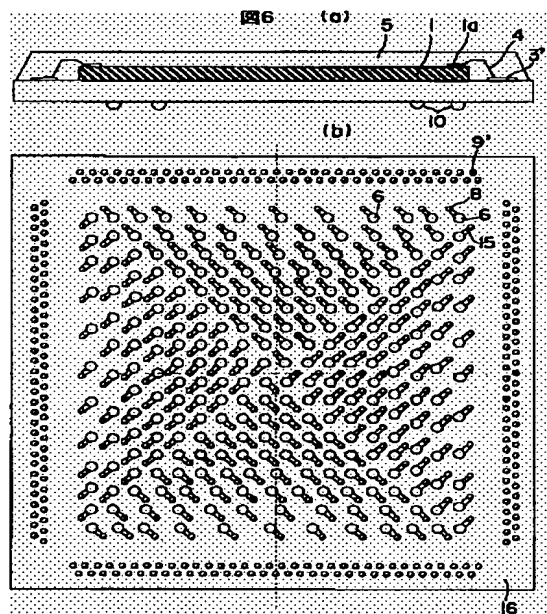
【図4】



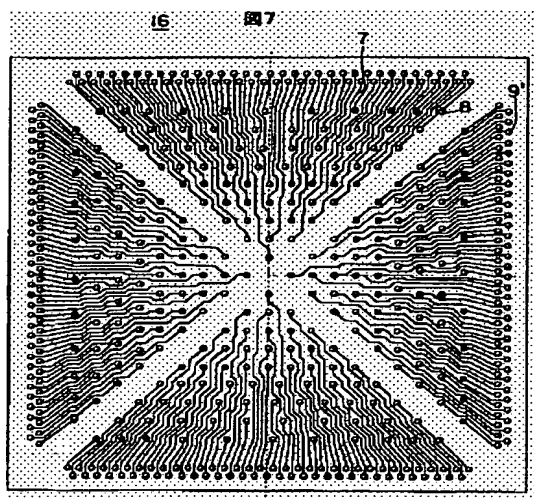
【図5】



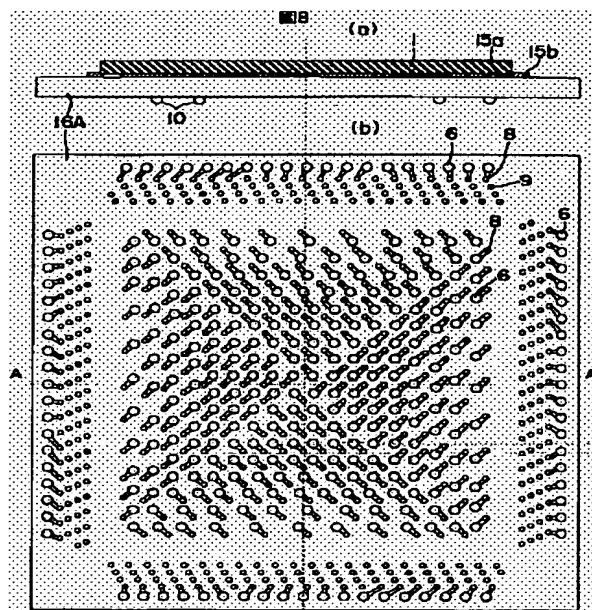
【図6】



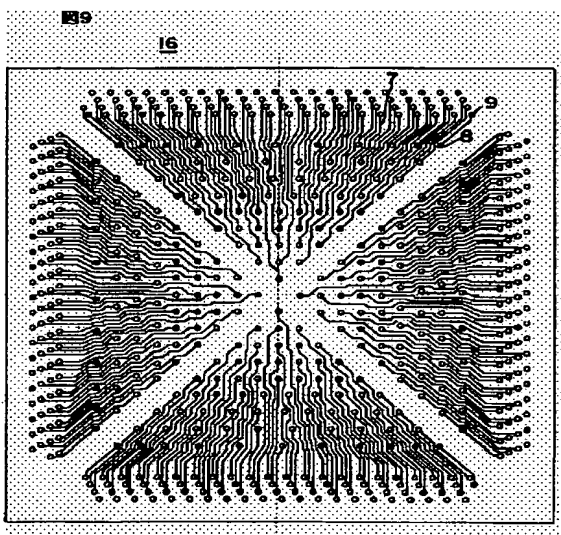
【図7】



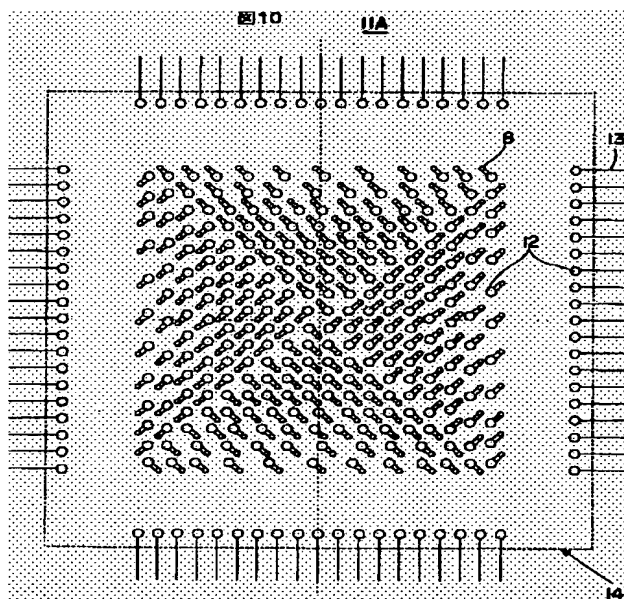
【図8】



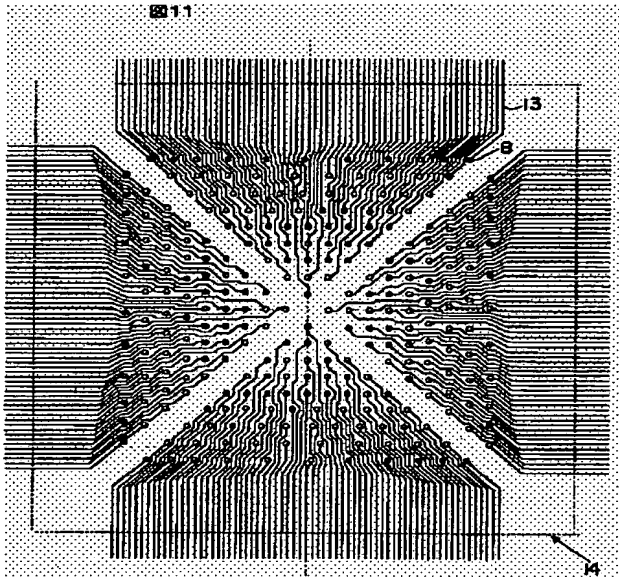
【図9】



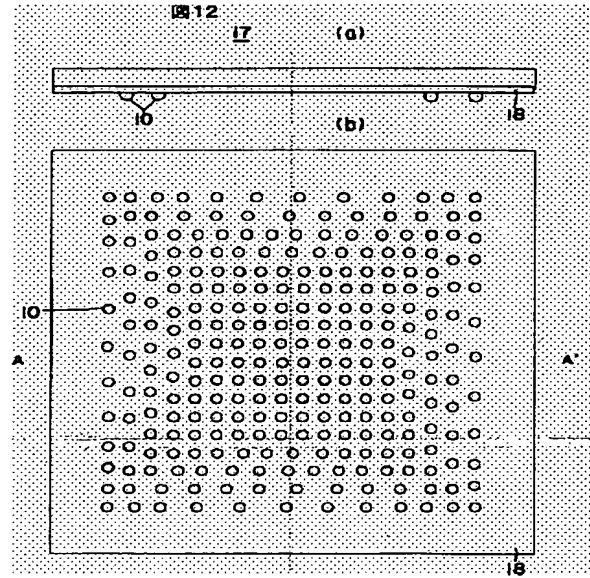
【図10】



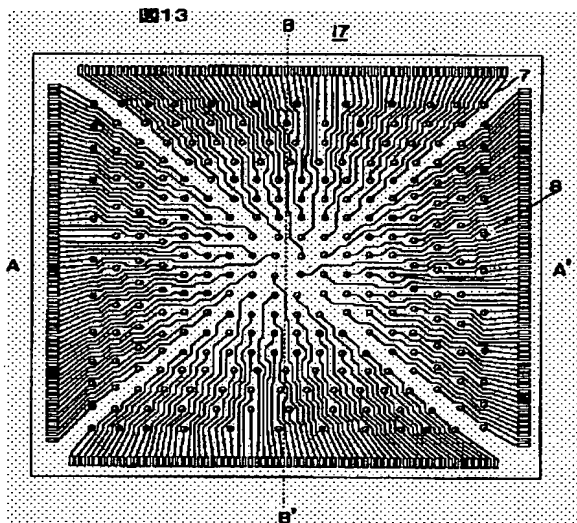
【図11】



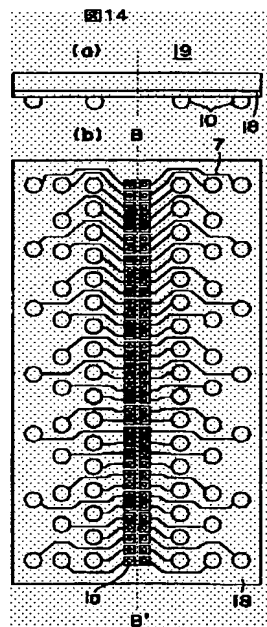
【図12】



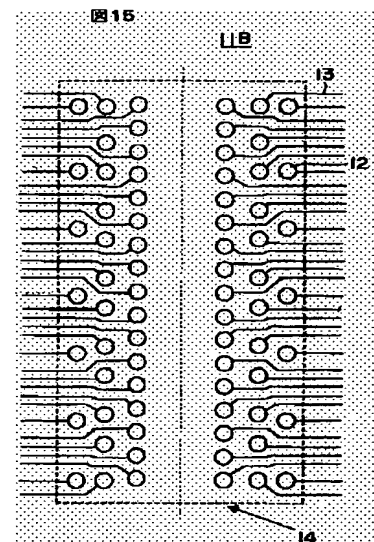
【図13】



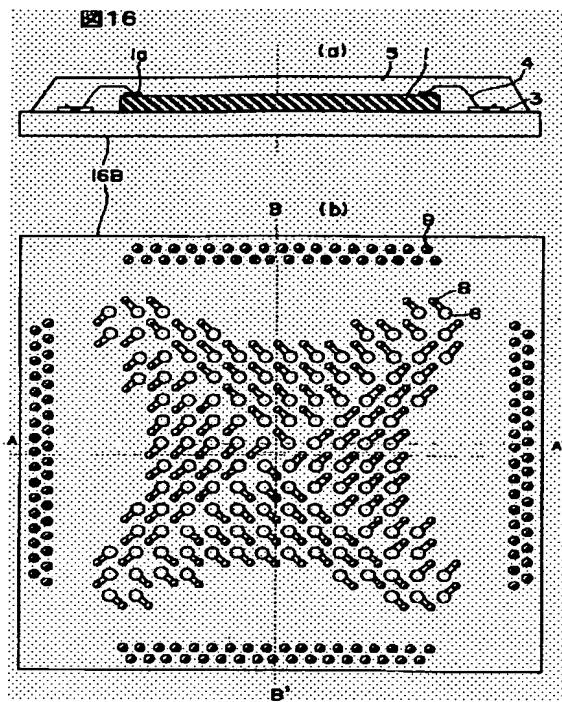
【図14】



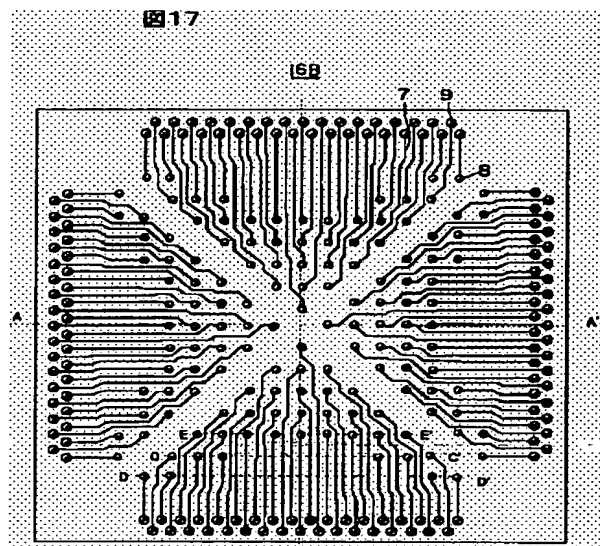
【図15】



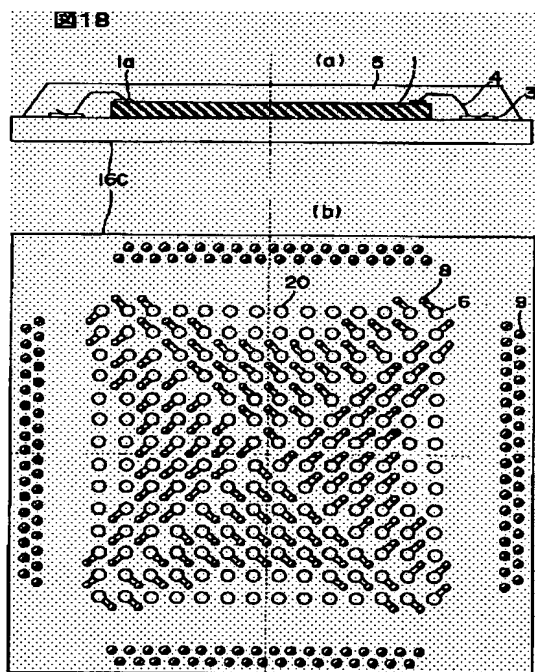
【図16】



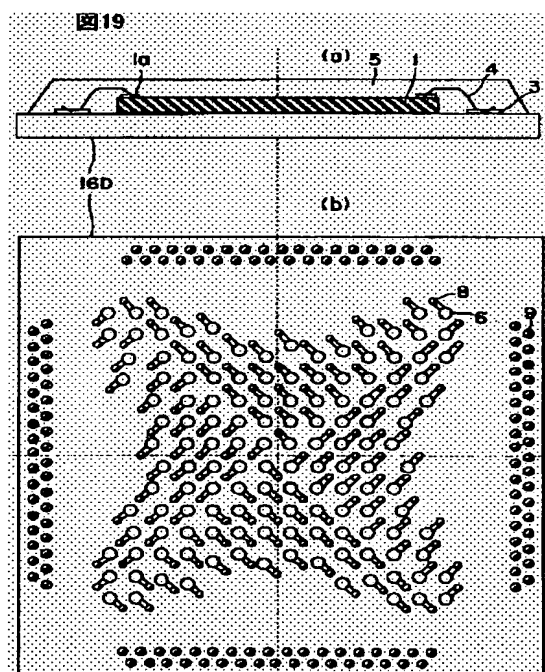
【図17】



【図18】

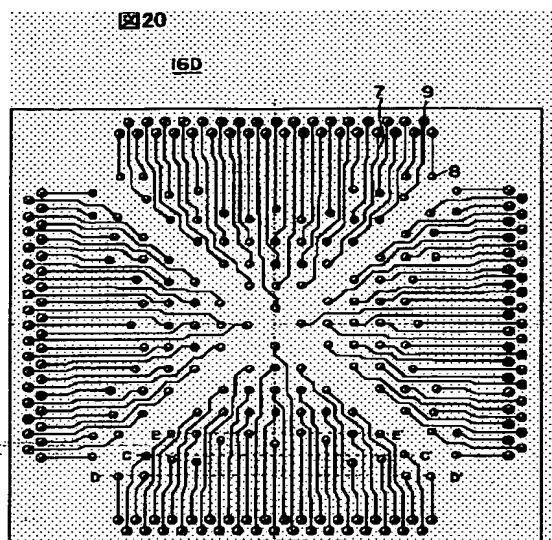


【図19】

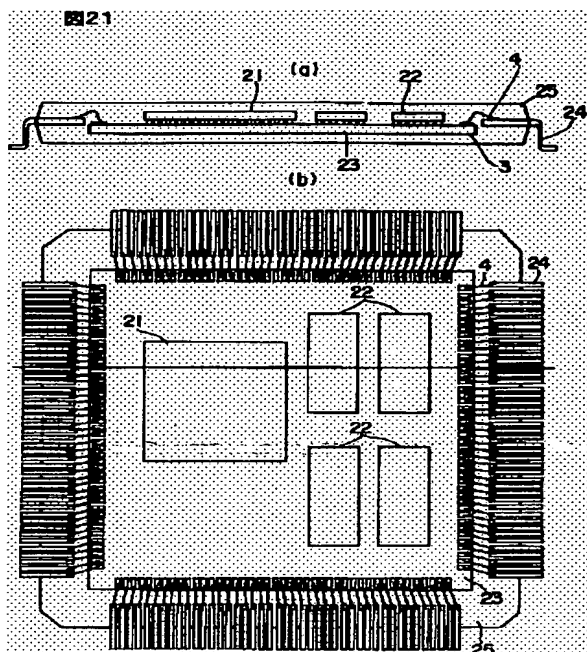




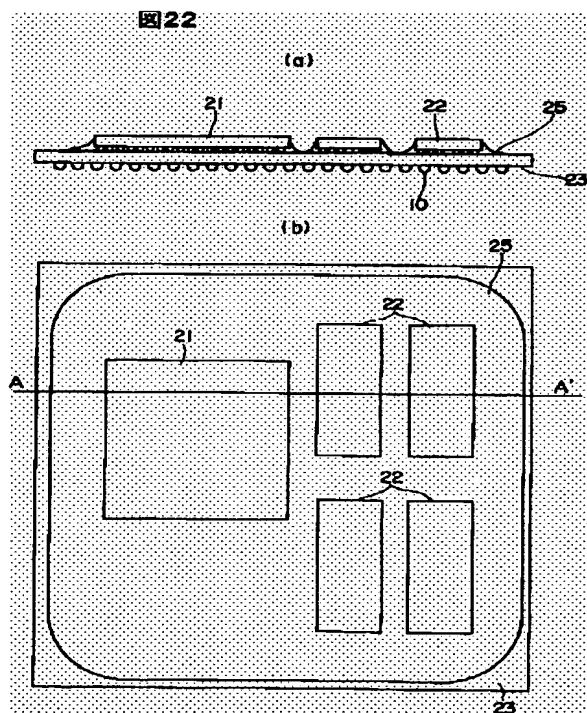
【図20】



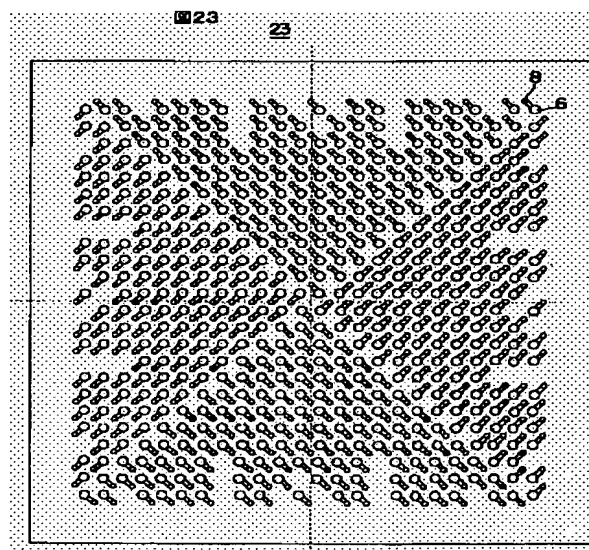
【図21】



【図22】

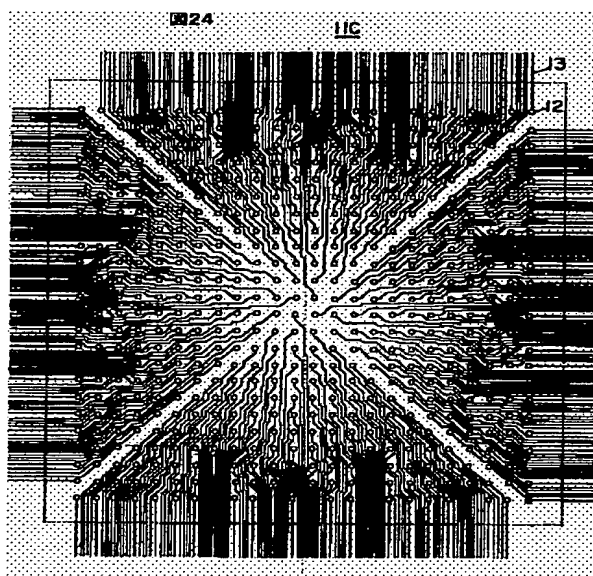


【図23】





【図24】



フロントページの続き

(51)Int.Cl.

H01L 25/18

識別記号

F I

キーワード(参考)